

⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑫ 公開特許公報(A) 平2-29821

⑤ Int. Cl.⁹G 06 F 7/52
15/347

識別記号

3 1 0 Z
N

庁内整理番号

7056-5B
7050-5B

⑬ 公開 平成2年(1990)1月31日

審査請求 未請求 請求項の数 20 (全14頁)

⑭ 発明の名称 CORDIC複素数乗算器

⑯ 特 願 平1-136295

⑰ 出 願 平1(1989)5月31日

優先権主張 ⑱ 1988年5月31日 ⑲ 米国(US) ⑳ 200,491

㉑ 発 明 者 マシユー・オドネル アメリカ合衆国、ニューヨーク州、スケネクタディ、レキシントン・パークウェイ、2009番

㉒ 発 明 者 ウィリアム・アーネスト・エンゲラー アメリカ合衆国、ニューヨーク州、スケネクタディ、セント・ステファンズ・レーン、88番

㉓ 出 願 人 ゼネラル・エレクトリック・カンパニー アメリカ合衆国、ニューヨーク州、スケネクタディ、リバーロード、1番

㉔ 代 理 人 弁理士 生沼 徳二

明 細 書

1. 発明の名称

CORDIC複素数乗算器

2. 特許請求の範囲

1. 第1の複素数の実数部分及び虚数部分の各々を表わすデジタル・データ・ワードを受取る手段と、

前記第1の複素数の実数部分及び虚数部分の夫々一方を、 $+90^\circ$ 及び -90° の内の選ばれた一方の第1の角度増分 α_1 だけ回転させて、デジタル・データ・ワードI及びQの内の関連する一方を形成する手段を含む第1の部分と、

該第1の部分から受取ったI及びQデジタル・データ・ワードの各々を、Nを2より大きい正の整数として、夫々角度 α_1 より小さいが、次の増分角度 α_{i+1} よりも大きな、 $2 \leq i \leq N$ に対する正及び負の増分角度 α_i の選ばれた一方だけ再帰的に回転修正する手段を含む再帰部分と、

振幅/回転角度の形で表わした第2の複素数の回転角度 ϕ 部分を表わすデジタル・データ・ワ

ードを受取り、前記第1の部分に於ける角度 α_1 並びに前記再帰部分に於ける増分角度 α_i の全ての符号を制御して、第2の複素数の回転角度 ϕ を近似する手段と、

N個の全ての角度にわたる回転修正の後、第1部及び第2部を、虚数部分の回転出力デジタル・データ・ワードA_i及び実数部分の回転出力デジタル・データ・ワードA_Rとして夫々供給する手段とを有する再帰CORDIC回転装置。

2. 前記第1の角度増分 α_1 だけ回転する手段が、前記符号を制御する手段からの第1及び第2の符号制御信号の夫々1つにตอบสนองして、前記第1の複素数の実数部分及び虚数部分の夫々に対して同じ符号及び反転した符号の一方を選択する手段を含む請求項1記載の再帰CORDIC回転装置。

3. 各々の増分角度が、 $n = i - 2$ として、 $\alpha_i = \tan^{-1}(2^{-n})$ である請求項2記載の再帰CORDIC回転装置。

4. iが8未満である請求項3記載の再帰CORDIC回転装置。

5. 再帰部分の回転する手段が、前記第1の部分からの1デジタル・データ・ワード及び逐次的にシフトさせた $(N-1)$ 個の第1のデジタル・データ・ワードの内の夫々逐次的な1つを累算する第1の手段と、前記第1の部分からのQデジタル・データ・ワード及び逐次的にシフトさせた $(N-1)$ 個の第2のデジタル・データ・ワードの逐次的な1つを累算する第2の手段と、前記符号を制御する手段からの第1の符号選択手段符号制御信号に回答して、その時前記第1の累算手段から供給されるデジタル・データ・ワードの符号を選択的に反転する第1の符号選択手段と、前記符号を制御する手段からの第2の符号選択手段符号制御信号に回答して、その時前記第2の累算手段から供給されるデジタル・データ・ワードの符号を選択的に反転する第2の符号選択手段と、前記符号を制御する手段から第1のシフト手段制御信号が発生する度に、前記第1の符号選択手段からのデジタル・データ・ワードのビットを予定の方向に1ビットだけシフトする第1

の手段と、前記符号を制御する手段からの第2のシフト手段制御信号が発生する度に、前記第2の符号選択手段からのデジタル・データ・ワードのビットを予定の方向に1ビットだけシフトする第2の手段と、前記第1の累算手段及び前記第2のシフト手段からのデジタル・データ・ワードを加算して、前記第1の累算手段に対する逐次的にシフトさせた $(N-1)$ 個の第1のデジタル・データ・ワードの逐次的な1つを供給すると共に、 A_1 出力デジタル・データ・ワードとして供給する第1の加算器手段と、前記第2の累算手段及び前記第1のシフト手段からのデジタル・データ・ワードを加算して、前記第2の累算手段に対する逐次的にシフトさせた $(N-1)$ 個の第2のデジタル・データ・ワードの逐次的な1つを供給すると共に、 A_R 出力デジタル・データ・ワードとして供給する第2の加算器手段とを有し、前記符号を制御する手段は別の出力を持ち、受取った回転角度 ϕ データに回答して、 $(N-1)$ 回の再帰の各々に対し、第1及び第2の符号制御

手段及び第1及び第2のシフト手段の符号制御信号が全て前記別の出力に供給される様にした請求項3記載の再帰CORDIC回転装置。

6. 第1の複素数の実数部分及び虚数部分の各々を表わすデジタル・データ・ワードを受取る手段と、

第1及び第2の複素数の実数及び虚数部分の各々1つを、 $+90^\circ$ 及び -90° の内の選ばれた一方の第1の増分角度 α_1 だけ別々に回転させる段手段を含む第1の部分と、

N を2より大きい正の整数として、複数個 $(N-1)$ の段手段を含む第2の部分であって、各々の段手段は1対の入力の実数及び虚数部分からなるデジタル・データ・ワードを、 $2 \leq i \leq N$ として、正及び負の増分角度 α_i の内の選ばれた一方だけ回転修正し、各々の i 番目の段手段の増分角度 α_i は角度 α_1 より小さいが、次の段手段の増分角度 α_{i+1} より大きく、第1の段手段に対する入力デジタル・データ・ワードは前記第1の部分から受取り、他の任意の段手段に対する入

力デジタル・データ・ワードは直前の段手段から受取る様になっている当該第2の部分と、

振幅/回転角度の形で表わした第2の複素数の回転角度 ϕ 部分を表わすデジタル・データ・ワードを受取って、前記第1の部分に於ける角度 α_1 並びに前記複数個の段手段に於ける全ての増分角度 α_i の符号を制御して、第2の複素数の回転角度 ϕ を近似する手段と、

N 個の角度全部にわたる回転修正の後、第1部及び第2部を、虚数部分の回転出力デジタル・データ・ワード及び実数部分の回転出力デジタル・データ・ワードとして夫々供給する手段とを有する逐次CORDIC回転装置。

7. 前記第1の増分角度 α_1 だけ回転する手段が、前記符号制御手段からの第1の増分符号制御信号に回答して、第1及び第2の複素数の実数及び虚数部分の選ばれた一方に対して同じ符号及び反転した符号の内の一方を選択する手段を含む請求項6記載の逐次CORDIC回転装置。

8. 各々の増分角度が、 $n-i-2$ として、

$\alpha_i = (\tan^{-1}(2^{-n}))$ である請求項7記載の逐次CORDIC回転装置。

9. i が8未満である請求項8記載の逐次CORDIC回転装置。

10. 各々の段手段が、該段手段に入力される実数部分のデジタル・データ・ワード及び虚数部分のデジタル・データ・ワードの両方を受取る手段と、前記実数部分の入力デジタル・データ・ワードのビットを予定の方向に n ビットだけシフトする第1の手段と、虚数部分の入力デジタル・データ・ワードのビットを前記予定の方向に n ビットだけシフトする第2の手段と、前記符号を制御する手段からの第1の符号選択手段制御信号にตอบสนองして、前記第1のシフト手段からのシフト済みデジタル・データ・ワードの符号を選択的に反転する第1の符号選択手段と、前記符号を制御する手段からの第2の符号選択手段制御信号にตอบสนองして、第2のシフト手段からのシフト済みデジタル・データ・ワードの符号を選択的に

反転する第2の符号選択手段と、実数部分の入力デジタル・データ・ワード及び前記第2の符号選択手段からのデジタル・データ・ワードを加算して当該段手段からの実数部分の出力デジタル・データ・ワードを発生する第1の加算器手段と、虚数部分の入力デジタル・データ・ワード及び前記第1の符号選択手段からのデジタル・データ・ワードを加算して、当該段手段からの虚数部分の出力デジタル・データ・ワードを発生する第2の加算器手段とを有し、前記符号を制御する手段は、 $(N-1)$ 個の段手段全部に対する全ての第1及び第2の符号制御手段制御信号が、受取った回転角度 ϕ データにตอบสนองして供給される付加的な出力を持っている請求項8記載の逐次CORDIC回転装置。

11. 実数部分のデジタル・データ・ワード C_R 及び虚数部分のデジタル・データ・ワード C_I として表わされた第1の複素数 C と、大きさ $|B|$ のデジタル・データ・ワード及び位相角 ϕ のデジタル・データ・ワードとして表わされ

た第2の複素数 B との積である出力デジタル・データを発生する装置に於て、

位相角 ϕ のデジタル・データ・ワードにตอบสนองして、入力の実数部分のデジタル・データ・ワード I 及び入力の虚数部分のデジタル・データ・ワード Q を夫々回転修正して、出力デジタル・データ・ワード Q' 及び出力デジタル・データ・ワード I' を夫々求めるCORDIC手段と、

少なくとも前記第1の複素数の実数部分のデジタル・データ・ワード C_R 及び虚数デジタル・データ・ワード C_I を受取って、夫々入力 I 及び Q デジタル・データ・ワードを供給する入力手段と、

夫々出力 Q' 及び I' デジタル・データ・ワードを受取って、出力デジタル・データ・ワードの虚数部分 A_I 及び出力デジタル・データ・ワードの実数部分 A_R を夫々発生する出力手段とを有する装置。

12. CORDIC手段が再帰CORDIC回転装置である請求項11記載の装置。

13. 前記出力手段が、第2の複素数の大きさ $|B|$ のデジタル・データ・ワードを受取る手段と、実数部分のデジタル・データ・ワード I' 及び虚数部分のデジタル・データ・ワード Q' の夫々1つに大きさ $|B|$ のデジタル・データ・ワードのスカラー積を求めて、実数部分 A_R 及び虚数部分 A_I のデジタル・データ・ワードを求める手段とを有する請求項12記載の装置。

14. CORDIC手段が逐次CORDIC回転装置である請求項11記載の装置。

15. 前記出力手段が更に、第2の複素数の大きさ $|B|$ のデジタル・データ・ワードを受取る手段と、実数部分のデジタル・データ・ワード I' 及び虚数部分のデジタル・データ・ワード Q' の夫々1つに大きさ $|B|$ のデジタル・データ・ワードのスカラー積を求めて、夫々実数部分 A_R 及び虚数部分 A_I のデジタル・データ・ワードを求める手段とを有する請求項14記載の装置。

16. 実数部分のデジタル・データ・ワード I_1 及び虚数部分のデジタル・データ・ワード Q_1 として表わされた第1の複素数と、実数部分のデジタル・データ・ワード I_2 及び虚数部分のデジタル・データ・ワード Q_2 として表わされた第2の複素数との積である出力デジタル・データを発生する装置に於て、

N 個の期間の各々 i 番目の期間に、別のデジタル・データ・ビットの状態に回答して、入力の実数部分のデジタル・データ・ワード I 及び入力の虚数部分のデジタル・データ・ワード Q を、 α_i を $\pm 90^\circ$ の選ばれた一方、そして N を2より大として、 $2 \leq i \leq N$ に対し、 α_i を $\tan^{-1}(2^{-n})$ (但し $n = i - 2$) として、角度 α_i だけ回転修正して、出力デジタル・データ・ワード Q' 及び出力デジタル・データ・ワード I' を夫々求める第1及び第2のCORDIC手段を有し、第1のCORDIC手段は夫々のデータ・ワード I_1 及び Q_1 を夫々実数部分及び虚数部分のデータ・ワードとして受取って、少なくとも1

つの出力データ・ワード I' 及び有効な出力角度が略ゼロである時に符号の状態を変える信号を発生し、第2のCORDIC手段は夫々のデータ・ワード I_2 及び Q_2 を実数部分及び虚数部分のデータ・ワードとして受取って、夫々実数部分及び虚数部分の出力データ・ワード I' 及び Q' を発生し、

更に、各々の i 番目の期間に、符号状態信号が符号を変えるまで、両方のCORDIC手段によって出力デジタル・データ・ワードを回転修正させる様に選ばれたデータ状態を前記別のデジタル・データ・ビットに持たせる手段と、夫々出力 I' 及び Q' デジタル・データ・ワードを受取って、出力デジタル・データの虚数部分 I' 及び出力デジタル・データ・ワードの実数部分 Q' を夫々発生する出力手段とを有する装置。

17. 各々のCORDIC手段が再帰CORDIC回転装置である請求項16記載の装置。

18. 前記出力手段が更に、第1のCORDIC手段の出力データ・ワード I_0 を受取る手段と、

実数部分の出力 I' データ・ワード及び虚数部分の出力 Q' デジタル・データ・ワードに I_0 データ・ワードを乗じたスカラー積を求めて、夫々実数部分 I' 及び虚数部分 Q' のデジタル・データ・ワードを求める手段とを有する請求項17記載の装置。

19. 実数部分のデジタル・データ・ワード I_1 及び虚数部分のデジタル・データ・ワード Q_1 として表わされた第1の複素数と、実数部分のデジタル・データ・ワード I_2 及び虚数部分のデジタル・データ・ワード Q_2 として表わされた第2の複素数との積である出力デジタル・データを発生する装置に於て、

α_i を $\pm 90^\circ$ の選ばれた一方とし、 N を2より大として、 $2 \leq i \leq N$ に対し、 $n = i - 2$ として、 α_i が $\tan^{-1}(2^{-n})$ である様な角度 α_i だけ、入力の実数部分のデジタル・データ・ワード I 及び入力の虚数部分のデジタル・データ・ワード Q を回転修正して、出力デジタル・データ・ワード Q' 及び出力デジタル・データ・

ワード I' を求める第1及び第2のCORDIC手段を有し、ここで各々の角度の符号は関連する符号ビットの論理状態に回答し、第1の手段の各々の角度に対する符号ビットは、その角度に対する計算段の1対のデータ入力の方にその時存在するデータ・ビットであり、

更に、入力ビットの論理状態を反転する複数個 (N 個) の手段を有し、各々 i 番目の反転する手段は、関連する i 番目の角度に対する第1の手段に対する段から符号ビットを受取って、第2の手段の同じ i 番目の段に対して別の符号ビットを供給し、

前記第2の手段は夫々のデータ・ワード I_2 及び Q_2 を夫々実数部分及び虚数部分のデータ・ワードとして受取って、第2の複素数の大きさ $|A_2|$ である少なくとも1つの出力ワードを発生し、

更に、夫々出力 I' 及び Q' デジタル・データ・ワードを受取って、出力デジタル・データの虚数部分 Q' 及び出力デジタル・データ・

ードの実数部分 I' を夫々発生する出力手段を有する装置。

20. 前記出力手段が更に、第2のCORDIC手段の出力データ・ワード I_A を受取る手段と、実数部分の出力 I' デジタル・データ・ワード及び虚数部分の出力 Q' デジタル・データ・ワードの夫々1つと I_A データ・ワードとのスカラー積を求めて、夫々実数部分 I' 及び虚数部分 Q' のデジタル・データ・ワードを求める手段とを有する請求項19記載の装置。

3. 発明の詳細な説明

発明の背景

この発明は算術処理手段、更に具体的に云えば、1対の複素数の乗算を行なう為に、少なくとも1つの座標回転デジタル計算機(CORDIC)を利用した新規な手段に関する。

いろいろな形式の今日の電子装置では、相関の検出、離散的なフーリエ変換等の様な比較的複雑な信号処理機能が利用されている。基本の信号処理素子は乗算-累算セルである。ベースバンド信

号処理等を利用する超音波作像の様なある装置では、完全に複素数の信号を乗算しなければならない。電子信号の同様な複素数乗算は、レーダ、ソナー等の様な他の多くの信号処理分野で、特にデジタル信号、更に特に2進形の信号の処理に見られる。従って、何れも $x + jy$ 又は R, θ と云う形をした複素数を表わす1つのデジタル信号の複素数乗算を実施するデジタル信号手段を提供することが非常に望ましい。

従来、IREトランザクションズ・オン・エレクトロニック・コンピュータズ誌EC-8、第330頁乃至第334頁(1959年)所載のJ. E. ボルダールの論文「CORDIC三角関数計算方式」に最初に記載された様なCORDIC装置及び方式を使うことが述べられている。これは、角度 θ にわたる回転は、その何れの回転も特別の1組の角度 α の内の1つにわたる様な幾つかの回転の和として表わすことが出来ると云う計算方式であり

$$\theta = \sum_{i=1}^n \epsilon_i \alpha_i \quad (1)$$

ここで $\epsilon_i = +1$ 又は -1 である。 $\alpha_1 = 90^\circ$ と定義すると

$$\alpha_{n+2} = \tan^{-1}(2^{-n}) \quad n = 0, 1, 2 \dots \quad (2)$$

即ち、全体の角度が、複数個(n 個)の角度 α_i の全部を使って順次近似され、角度の一番細かい夫々の近似が直角座標の結果 x_{n+1} 及び y_{n+1} を生じ、これらは(次に粗い近似に対する)直角座標の値 x_n 及び y_n に対して次の1対の方程式で表わされる様な関係を持つ。

$$x_{n+1} = K(\theta) (x_n + \epsilon_i y_n / 2^n) \quad (3a)$$

$$y_{n+1} = K(\theta) (y_n - \epsilon_i x_n / 2^n) \quad (3b)$$

ここで $K(\theta)$ は $\cos(\theta)$ に等しい倍率である。各々の係数 2^{-n} は事実上除数2の除算を n 回

行なうことであり、2進数では、この n 回の各々に対して1ビットのシフトによって行なわれる。この為、複素数乗算は、(必要とする場合の)倍率 $K(\theta)$ の乗算を別として、1組のシフトレジスタ及び加算器を用いて実行することが出来る。この基本的なCORDIC方式を利用して、1対の複素数を乗算する新規な装置を提供することが非常に望ましい。

発明の要約

この発明の現在好ましいと考えられる2つのデジタル複素数 B 及び C を乗算するCORDIC装置は、直角座標の形(例えば、 C_R 及び C_I)で表わした一方の数の実数データ部分及び虚数データ部分の各々を、極座標の形で表わした他方の数(例えば、 $|B|$ 、 ϕ)の位相角 ϕ だけ回転させるために、乗算器のない、再帰形又はパイプライン逐次形の何れかの N 段CORDIC回転手段を用いる。回転の後、CORDIC回転手段の出力の実数又は虚数データ部分の各々に他方の数の大きさのデータ $|B|$ のスカラー乗算を行なう手

段を設ける。こうして計算された最終的なデータが、積の実数及び虚数部分である。

現在好ましいと考えられる別の複素数乗算CORDIC装置では、1対の再帰形又はバイブライン逐次形位相回転手段の各々が、第1及び第2の直角座標形式の複素数の実数及び虚数部分に作用する。各々の複素数の位相は、符号検出器で判定して、第1の数がゼロの位相角になるまで平等に回転し、これにより出力データの位相が第1及び第2の複素数の位相角の和に等しくなる様にする。必要によっては、全体の複素数の積を決定する為に、積データのスカラ乗算を使うことが出来る。相関の統計等の計算の様な多くの場合、正確な位相情報を累算することだけが必要であって、位相情報の精度が保たれている限り、積の振幅項には比較的精度が要求されない。使う場合、各々のスカラ乗算器はシフト及び累算部分にすることが出来る。

従って、この発明の目的は、1対のデジタル複素数を乗算する新規なCORDIC回路を提供

の手段12は、デジタル・データ計算の分野で周知の様に、シフトレジスタ及び累算器からなる1組であってよい。ある計算タスクでは、振幅の精度が低下しても差支えないことがあるから、手段12を設ける場合、その部品は比較的精度の低いものであってよい。他方の複素数Bが極座標の形で導入され、大きさ|B|の成分に対するPビットのデータ・ワードが入力10cに加えられ、両方のスカラ・データ乗算手段の第2の入力12-1b及び12-2bに接続され、角度φ成分のデータ・ワードが入力10dに加えられる。別の入力10eに周期的なクロックCLK信号が加えられる。Cベクトル入力のスカラ乗算した実数及び虚数成分が、夫々第1及び第2のスカラ乗算手段の出力12-1c及び12-2cにデジタル・データとして得られる。複素数乗算器の出力は、複素数積Aの夫々直角座標の形をした実数軸及び虚数軸の項AR及びAIを別々に夫々の出力端子10g及び10fに発生する。

この発明の別の一面として、CORDICディ

することである。

この発明の上記並びにその他の目的は、以下図面について詳しく説明する所を読めば、明らかになる。

発明の詳しい説明

最初に第1図について説明すると、現在好ましいと考えられる1実施例の複素数デジタルCORDIC乗算器10では、CORDICデジタル乗算器手段11と1対のスカラ・デジタル乗算手段12とを利用している。第1の複素数Cが直角座標の形で導入され、Pビットの実数軸成分CRデータ・ワードが入力10aから入って、CORDIC乗算器の第1の入力又はI入力11aに接続され、Pビットの虚数軸成分CIが第2の入力10bに加えられ、乗算器の第2の入力又はQ入力11bに接続される。使う場合、1対のスカラ乗算手段12の各々は、第1のデータ入力12-1a又は12-2aが、CORDIC手段の虚数軸データQ'出力11f又は実数軸データI'出力11gから夫々データを受取る。各々

デジタル・データ乗算器手段11は、第1図に示す様な再帰形乗算器であるか、又は第2図について説明する様なバイブライン(逐次)形乗算器である。実数軸Iデータ・ワード又は虚数軸Qデータ・ワードの各々が、手段11に入力されると、夫々第1又は第2の符号選択手段14-1又は14-2の入力14-1a又は14-2aに現れる。入力データの大きさではなく、符号は、夫々符号選択入力14-1b又は14-2bの符号選択2進制御信号の状態に応じて、影響を受けないか又は反転される(実効的に-1の乗算が行なわれる)。最初の回転が+90°であるか-90°であるかを決定する符号選択デジタル・データが、符号手段14-1又は14-2の出力14-1c又は14-2cに夫々現れる。符号選択手段は、符号選択手段14-1で示す様に、入力14-1aを符号ビット反転器16を介して2入力マルチプレクサMUX手段18の第1の入力18aに接続することによって構成することが出来る。第2のMUX手段の入力18bが入力14-1aから

のものと符号デジタル・データ・ワードを受取る。MUX手段の選択入力18cにある符号選択2進信号の状態に応じて、出力18d(並びに手段の出力14-1c)がもとの極性の入力18b又は反転した極性の入力18aに接続される。符号選択信号の2進状態が符号制御手段20によって決定される。入力のデジタル・データ・ワードが2の補数として表わされる場合、符号反転及びマルチプレクサ手段は一腐簡単な構造に置換えることが出来る。この構造では、入力数の各ビットが排他的オア(XOR)ゲートの一方の入力に接続され、他方の入力がMUX選択入力に接続される。各々のXORゲートの出力ビットが、順次加算器チェーンの関連する逐次的な入力に接続され、このチェーンはXOR出力に1を加算する桁上げビットを持っている。従って、MUX符号選択入力信号が入力数か又はその入力の否定の何れかを選択する。この比較的低速の再帰動作を行なうCORDIC乗算器11では、複数個(図示の場合は6個)の符号選択信号が必要であり、各々

異なる信号が、節11cから符号制御手段の入力20gに供給された符号制御データ・ワードにตอบสนองして、符号制御手段の出力(今の場合は出力20a乃至20f)の内の異なる1つに現れる。このSビットのデータ・ワードは、角度 ϕ によって一意的に設定され、それに応じた2進パターンを持つデータ・ワードの1組の符号制御ビットの中をクロックによって前進することに対応して、プログラム可能な論理配列(PLA)手段の様な論理手段21の出力21aに供給することが有利である。即ち、PLA手段の1つの入力21bが、入力11e及び装置の入力10eからCLKパルスを受取り、PLA手段の2番目の入力21cが(CORDIC手段の入力11d及び装置の入力10dを介して)第2の複素数の位相角 ϕ 情報を受取る。再帰形実施例の動作は、特に位相入力10dでデータが安定した時、n回の動作の各々に対して別々のCLKパルスが発生し、この動作を加算して、所望の積の成分を発生する。この為、各々のクロック・パルスにより、次の最も小さい

CORDIC角度 α_i が、合計の回転角度 θ に対して正又は負の何れの符号になるか \times 決定され、こうして入力20gの符号制御ワードにより、出力20a乃至20fの全ての符号制御ビットを設定する。

第1段(+/-90°選択段)の出力に出る符号選択の実数及び虚数のPビットのデータ・ワードが、第1及び第2の符号選択手段の出力14-1c又は14-2cに現れ、第1の累算器ACCU M手段22-1の入力22-1a又は第2のACCU M手段22-2の入力22-2aの所で、(n-1)再帰段に供給される。この入力データが夫々第2の入力22-1b又は22-2bの(P+2)ビットのデータ・ワードと加算され、第1又は第2の累算器の出力22-1c又は22-2cに(P+2)ビットのデジタル・データ・ワードを発生する。この出力データ・ワードがデータ節11I又は11Qの夫々1つに現れる。節11Iからのデータ・ワードが、第3の符号選択手段14-3の第1の入力14-3aに現れる。

この符号選択手段は、符号制御手段20の第3の出力20cから、符号制御信号を入力14-3bに受取る。節11Qのデータ・ワードが第4の符号選択手段14-4の第1の入力14-4aに現れる。この符号選択手段は、符号制御手段20の第4の出力20dからの符号制御信号を受取る符号選択入力14-4bを持っている。「実数」チャンネルからの符号選択して累算したデータ・ワードが出力14-3cに現れ、第1のシフト手段24-1の入力24-1aに結合され、「虚数」チャンネルからの符号選択して累算したデータ・ワードが出力14-4cに現れ、第2のシフト手段24-2の入力24-2aに結合される。各々のシフト手段24は例えば入力24-1b又は24-2bの様なシフト制御入力を持っていて、これが符号制御手段20の第5又は第6の出力20e又は20fから夫々シフト制御パルスを受取る。シフト制御入力24-1b又は24-2bの一方に出る各々のパルスにตอบสนองして、シフト24-1又は24-2にあるデータ・ワードが1つの2進

位置だけ右に回転し又はシフトし、1ビットだけシフトしたデータが第1のシフト手段の出力24-1c又は第2のバーレル・シフト手段の出力24-2cに現れ、夫々第2のディジタル加算器手段26-2又は第1のディジタル加算器手段26-1の第1の入力26-2a又は26-1aに夫々交差結合される。これらの加算器手段の別の入力26-2b又は26-1bが、夫々第11Q又は111からのディジタル・データ・ワードを受取る。第1の加算器手段の出力26-1cの加算データのワードは、(P+2)ビットのデータ・ワードQ'であって、CORDIC乗算器手段の第1の出力11-fに供給され、その後乗算器の出力10fに供給されるが、第2の加算器手段の出力26-2cのディジタル・データ・ワードは、別の(P+2)ビットの信号1'であって、CORDICの手段の出力11g及び乗算器手段の出力10gに供給される。Q'データ信号が累算器の入力22-1bに戻され、1'データが累算器の入力22-2bに戻される。

算器12を省略することが出来、この為、乗算器を全く必要としない場合、特に重要である)。例として、n=8段の回転は、下記の表1の符号選択情報を利用して、±0.6°の精度で実施することが出来る。

動作について説明すると、式(3a)及び(3b)は次の様に書き直すことが出来る。

$$I' = K(\theta) (I + E_1 Q / 2^n) \quad (4a)$$

$$Q' = K(\theta) (Q - E_1 I / 2^n) \quad (4b)$$

前に述べた様に、所望の計算精度に対して選ばれた繰返し回数nに関係する一定値であるから、共通の倍数 $K(\theta) = \cos \theta$ は無視することが出来る。入力の回転角度 ϕ は、任意の角度であるが、これが最初に式(3a)及び(3b)を満たす1組の回転角度 α_i に分解される。各々の回転で倍率は異なるが、倍率の大きさは回転の符号には無関係であり、従って、各々の段で符号が異なるが、同じ大きさの回転を使う一定数の回転に対しては、全体的な倍率は、合計の回転の角度に無関係であり、倍率を無視してもよいし、或いは何回もの回転順序の終りに加えてもよい。これは、複素数後の位相が重要である様な用途で重要なことである(第2の量Bの大きさが1であって、スカラー乗

表 1
n=8段の回転に選ばれる符号

所望の 角度 0 11.25 22.50 33.75 45.00 56.25 67.50 78.75 90.00 101.25 112.50 123.75 135.00 146.25 157.50 168.75 180.00	n=1 90°	n=2 45°	n=3 26.56°	n=4 14.04°	n=5 7.13°	n=6 3.58°	n=7 1.79°	n=8 0.90°
0	+	+	-	-	-	+	-	+
10.85	+	+	-	-	-	+	-	+
22.65	+	+	-	-	-	+	-	+
33.30	+	+	-	-	-	+	-	+
44.10	+	+	-	-	-	+	-	+
56.85	+	+	-	-	-	+	-	+
67.35	+	+	-	-	-	+	-	+
79.35	+	+	-	-	-	+	-	+
90.00	+	+	-	-	-	+	-	+
101.25	+	+	-	-	-	+	-	+
112.85	+	+	-	-	-	+	-	+
123.35	+	+	-	-	-	+	-	+
134.10	+	+	-	-	-	+	-	+
146.85	+	+	-	-	-	+	-	+
157.35	+	+	-	-	-	+	-	+
168.75	+	+	-	-	-	+	-	+
180.00	+	+	-	-	-	+	-	+

負の角度(0乃至-180°)はデータ・ワードの全てのビットの区転を必要とする。

入力 C_R 及び C_I データ・ワードの符号を修正して、 $\pm 90^\circ$ の回転を実行し、符号を修正した1又はQデータを各々サイクル $N-8$ クロック・パルスの第1のクロック・パルス(即ち、クロック・パルス番号 $C=1$)に回答して、最初にクリアされた関連する累算器手段22に個別にロードする。この第1パスの累算データが夫々面11I及び11Qに現れ、夫々関連する加算器手段の入力26-1b及び26-2bにも現れる。

符号選択手段14-1又は14-2で表わされる第1段は、項 α_1 の $\pm 90^\circ$ の回転を表わす。実数及び虚数軸の両方のチャンネルにある累算器22から始まる第2段を $(N-1)$ 回の動作に対して再帰形で利用し、その為 $(N-1)$ 個のCLKパルスしか必要としない。相次ぐクロック・サイクルで、 $C=2, 3, \dots, 8$ の時、各々の累算器の内容を他方の累算器の内容と加算する。これは、反対のチャンネルの符号選択手段14-3及び14-4とシフト信号24-1又は24-2に於ける符号の修正及び切捨ての後に、この

ればならないし、各段の回転に対する倍率をも考慮に入れなければならない。この倍率は1.65の値に漸近的に近づく。この発明では、加算器及び累算器を入力データのビット密度よりも更に2ビット奥行が深くなる様に設計すれば、両方の因子に対処する十分な余裕が得られることが判った。即ち、入力信号が7ビットのデータ・ワード(例えば、 $P=7$)であれば、 $(P+2)=9$ ビットの奥行の加算器、累算器及びシフトを用いる。

この複素数乗算器10は、 $0.9 \mu\text{m} \times 1.2 \mu\text{m}$ の面積を持つCMOSシリコン回路として集積されているが、1例として、これはAを検出器の複素数出力データ、Bを複素数基準データ入力及びCを複素数検出器データ入力として、次の式

$$A_i = \sum_{j=N/2}^{(N/2)-1} B_j C_{i+j}^* \quad (5)$$

によって左右されるMタップのベースバンド相関検出器に利用することが出来る。同様に、M個の点を持つ離散的なフーリエ変換を左右する方程式

為、N段の回転には、最初のクロック・サイクルの最初の (90°) パルスと、その他の $(N-1)$ 個のクロック・サイクルとを0.9°の精度を持つ回転を行なう為に必要とする。同様に、 $N=7$ 段の回転では、1.8°の精度を持つ回転を実施する為に、最初のパルスと追加の6個のクロック・サイクルとを必要とする。これに対して $N=6$ 段の回転では、3.6°の精度を持った回転を行なう為に、最初のパルスと5個のクロック・サイクルとを必要とする。5段の手順では、7.1°の精度を持つ回転の為に、最初のパルスと4個のクロック・サイクルとを必要とする。5MHzの入力データ速度を利用すると、関連する最低クロック周波数Fは式 $F=(N-1)D$ で表わされる。ここでDは入力データ速度である。こう云う周波数及びデータ速度が、今日使われている最も多い形式の半導体集積回路で実現するのに見合ったものであることが認められよう。

加算器及び累算器は 45° から 0° までの回転に対処する位の奥行のビット密度を持っていない

は次の通りである。

$$A_k = \sum_{j=0}^{M-1} a_j W_M^{kj} \quad (6)$$

ここでAは複素数順序aの複素数の離散的なフーリエ変換であり、 W_M は1のM番目の複素数根である。従って、相関の場合でも離散的なフーリエ変換の場合でも、基本的な処理工程は複素数の乗算-累算であることが理解されよう。相関の例では、複素数乗算した出力は次の形である。

$$A_R = B_R C_R + B_I C_I \quad (7)$$

ここで添字のRは実数成分、添字のIは虚数成分を表わし、

$$A_I = B_R C_I - B_I C_R \quad (8)$$

この複素数乗算は次の様に書換えることが出来る。

$$A_R = |B| (C_R \cos \phi - C_I \sin \phi) \quad (9)$$

$$A_I = |B| (C_R \sin \phi + C_I \cos \phi) \quad (10)$$

基準量Bの係数を実数及び虚数部分のデータでは

なく、大きさ $|B|$ 及び位相 ϕ のデータとしてロードする場合、第1図の回路を乗算-累算セルに対する複素数乗算器として使うことが出来る。即ち、各々の乗算-累算セルに対するCORDICが同じ段数を持っているから、倍率 $K(\phi)$ は全てのセルに対して同じであり、個々の大きさの係数を変更することにより、又は相関器の最終的な出力に倍率をかけることにより、倍率をはっきりと考慮に入れることが出来る。第1図の構造は、CORDICプロセッサ10を使うことによって、2つの乗算器及び2つの加算器を省略することが出来るから、従来の複素数乗算セルよりも効率がずっとよいことが理解されよう。複素数相関の例では、第1図の回路は、離散的なフーリエ変換(DFT)アルゴリズムに於ける複素数乗算は大きさが1、即ち $|W_M|=1$ であるから、離散的なフーリエ変換(DFT)の計算を効率よくする為に、更に簡単にすることが出来る。即ち、両方の乗算器12を省略し、非常に簡単にした回路が得られる。

の入力に結合される。各々の符号選択手段は、インバート(-1)手段37とマルチプレクサMUX手段38とで構成される。関連する1つの入力40a, 40b, ... 40a', 40b'にある符号選択制御信号が、符号制御手段41の関連する出力41b乃至41iに出る。符号選択手段が符号制御入力11'cにSビット幅の符号制御データ・ワードを受取る。このデータ・ワードがMUX手段の出力42a, 42b, ... 42a'又は42b'に於ける各々の信号の2進状態を決定する。出力42a又は42bが、同じ段の反対側のチャンネル部分に対する加算器手段34の関連する第2の入力44b又は44aに交差結合される。例えば、第1段30aの実数軸部分の加算器手段に対する第2の入力44aが、虚数軸チャンネルの出力42bに交差結合され、虚数軸チャンネルの加算器手段の第2の入力44bが実数軸チャンネルの出力42aに接続されると言う様になる。 $1 \leq k \leq (N-1)$ として、各々k番目の段30kにあるシフト手段32kが、前の(k-1)

計算を更に速くする為、CORDIC乗算器の再帰形の第2の部分又は位相回転手段11は、逐次形又はパイプライン形のアーキテクチャに置換えることが出来る。現在好ましいと考えられる1つのパイプライン形CORDIC乗算器11'が第2図に示されている。Pビットの実数軸Iデータ・ワードが入力11'aに加えられ、Pビットの虚数軸Qデータ・ワードが入力11'bに加えられ。I又はQデータ・ワードの両方が、 $\pm 90^\circ$ の回転を行なう第1の部分で、符号選択手段14-1又は14-2の内の関連する一方の作用を別々に受ける。第2の部分で、複数個(N-1個)の同一の段30を用いる。図面に示したN=5の実施例では、4段30a乃至30dを使う。各段30は夫々同一の実数軸及び虚数軸部分30-1及び30-2を有する。各々の部分で、入力31a又は31bのデータ・ワードがシフト手段32a又は32bの入力と、加算器手段34a又は34bの入力とに結合される。ビット・シフト手段32の出力が符号選択手段36a又は36b

番目の段30(k-1)にあるシフト手段よりも1つ多くのビットをシフトする。k番目の段30kは(k-1)ビットのシフト手段32kを使う。従って、第1段のシフト手段32a, 32bは、除数1の除算機能では、0ビットだけシフトし、これは通抜けの接続によって実効的に置換えることが出来る。即ち、利用しない。第2段30bにあるビット・シフト手段32a'及び32b'が更に1つ余分のビットで除算し、従って $a=1$ であり、除数2の除算機能が行なわれる。同様に、第3段30cでは、シフトは、除数4の除算機能では、 $b=2$ ビットであり、第4段30dのシフト手段32a''は、除数8の除算機能に対し、 $c=3$ ビットだけシフトする。このパイプライン形CORDICアーキテクチャは第1段のバースしか必要とせず、実質的に合計N段を通る論理回路の遅延によって設定される速度を持つ。これは再帰形CORDICの実施例で得られる結果よりも、殆んど常にずっと速い計算になる。

次に第3図について説明すると、再帰又はパイ

ブライン形CORDIC回転装置11又は11'の一方又は両方は、2つの複素数の積を発生する別の実施例の乗算装置10'に利用することが出来る。第1の複素数 N_1 を $|V_1|$ 、 $\phi_1 = |A_1| e^{i\phi_1}$ (第3a図)として表わし、第2の複素数 N_2 を $|V_2|$ 、 $\phi_2 = |A_2| e^{i\phi_2}$ (第3b図)として表わせば、 $(|I_1| + iQ_1) \cdot (|I_2| + iQ_2)$ の積 P は $P = |A_1| |A_2| e^{i(\phi_1 + \phi_2)}$ である。第1の複素数は、ベクトル V_1 として、その位相角 ϕ_1 だけ回転させて、その虚数部分を除き、実数の剰余だけで終わる様にする、即ち、 $|I_1|' = |V_1| = |A_1|$ 及び $Q_1' = 0$ にすることが出来る。そうする時、位相角 ϕ_1 を解析して、その結果得られる回転した第2のベクトル V_2' が $|A_2| e^{i(\phi_1 + \phi_2)}$ に等しくなり、この時量 $|I_1|'$ として利用し得る $|A_1|$ とスカラー積を求めさえすれば、最終的な複素数の積 P が得られる様に、第2の複素数ベクトル V_2 に加えるべき回転の符号を決定する。

は第1図の節11Q又は第2図の節11Q-1に対応する)の信号が、符号制御手段50の入力50aに印加され、節11-1Qのデータを、第1の回転手段11-1のゼロの残留位相角を表わす一定データ・パターンと比較することにより、各々の出力50b、50c(従って、それに接続された回転制御入力11-1c及び11-2c)の2進信号の状態を決定する。即ち、第1の回転手段の位相角 ϕ_1 が、近似的に 0° の残留位相角まで相次いでデクレメントされ、これに対して第2の回転手段の合計位相角 ϕ_T を同じ回転角度だけインクレメントして、 $\phi_1 \approx 0^\circ$ の時、 $\phi_T \approx (\phi_1 + \phi_2)$ になり、所望の積 P の位相角になる様にする。節11-1Qのデータが、数 N_1 が直角位相成分を持つこと、即ち角度 ϕ_1 が 0° ではないことを示す時に、回転が開始される。入力50aのデータに回答して、入力11-1c及び11-2cの信号の論理状態を決定して、それに対して入力されたデータ・ワードの位相から、次の n に対する次の増分角度 $\theta' = \tan^{-1} (1/$

この完全に複素数の乗算器10'が、第1の複素数 N_1 及び第2の複素数 N_2 の両方を、夫々実数又は同相部分 I_1 又は I_2 並びに夫々の虚数又は直角位相部分 Q_1 又は Q_2 を表わす入力データとして受取る。従って、第1の複素数 N_1 が同相部分のデータ・ワード I_1 として第1の入力10'aに現れると共に、直角位相部分のデータ・ワード Q_1 として別の入力10'bに現れる。第2の複素数 N_2 は、実数部分のデータ・ワード I_2 が入力10'cに現れ、虚数部分のデータ・ワード Q_2 が入力10'dに現れる。第1の複素数の実数部分 I_1 及び虚数部分 Q_1 のデータ・ワードが、第1のCORDIC回転手段11-1に入力され、第2の複素数の実数部分及び虚数部分 I_2 、 Q_2 のデータ・ワードが第2のCORDIC回転手段11-2に入力される。両方の回転装置の回転角度は少なくとも部分的には、回転制御入力11-1c又は11-2cの信号(この入力は第1図及び第2図の回転装置の符号制御入力11cに対応する)によって制御される。節11-1Q(これ

2ⁿ)を両方の回転装置によって加算又は減算させる。従って、両方の回転装置に於ける回転の符号が、第1の回転手段11-1にある剰余 Q_1' の符号によって決定され、 0° に向って順次強制的に近似する。実際には、第1の回転装置11-1は、一連のCORDIC回転を通じて、第1の複素数データ・ワード N_1 を、第1の複素数の大きさを表わす実数 A_1 に変換する。CORDIC回転が所定の段数を完了すると、出力50b、50cは変化しなくなり、出力50dに、そしてその後乗算器の出力10'rに位相回転完了READY信号が発生される。この時、第2の回転手段の I_2' 出力11-2dの同相データ・ワード及び Q_2' 出力11-2eの直角位相データ・ワードは夫々次の様に表わされる。

$$I_2' = \operatorname{Re} |V_2'| = \operatorname{Re} (|A_2| e^{i(\phi_1 + \phi_2)}) \\ = |A_2| \cos(\phi_T) \quad (11a)$$

$$Q_2' = \operatorname{Im} |V_2'| = \operatorname{Im} (|A_2| e^{i(\phi_1 + \phi_2)}) \\ = |A_2| \sin(\phi_T) \quad (11b)$$

第1の回転装置のI出力11-1dからの
 $|A_1|$ データ・ワードが、この時節10'eを介して、第1及び第2のスカラー乗算手段52、54の入力52a、54aに現れる。 I_2' データ・ワードが第1の乗算手段52の第2の入力52bに結合され、 Q_2' データ・ワードが第2の乗算手段54の第2の入力に結合される。第1の乗算手段の出力52cのI' データ・ワードが複素数CORDIC乗算器の出力10'fに現れ、これが $Re(P) = |A_1| |A_2| \cos(\phi_T)$ (ϕ_T) のデータであり、第2の乗算手段の出力54cのQ' データ・ワードが複素数CORDIC乗算器の出力50'gに現れ、これが $Im(P) = |A_1| |A_2| \sin(\phi_T)$ のデータである。

次に第4図(第4A及び4B図よりなる)について説明すると、第3図の回転装置11-1及び11-2と符号制御手段50は、計算速度の速いパイプライン形乗算器集成分11'で実現することが出来る。第1のN段逐次形CORDIC乗算

器65-nの)符号ビットが、複数個(N個)の論理インバータ70-1乃至70-nの内の関連する1つによって反転され、この為、第1のCORDIC乗算器60aの任意の段のQ出力の符号ビットが、両方の乗算器60a及び60bの次段の回転の符号を決定する。従って、符号ビットが2つのパイプライン形CORDIC構造60a及び60bの間で反転され、この為、第1の乗算器60aが第1の入力データ(I_1 及び Q_1)を出力I'及びQ'に於ける($\phi_1 + \phi_2$)に等しい位相 ϕ_T へ回転し、第2の乗算器60bが第2の入力データをゼロの位相に回転し、実数出力11'eに $|A_1|$ の大きさを発生する(そして剰余出力11'rに略ゼロの大きさの剰余を発生する。このQ出力は二重回転装置の誤差の目安である)。I'及びQ'データには、その乗算を必要とする場合、第3図の実施例の様に、手段52及び54によって $|A_1|$ データのスカラー乗算を行なうことが出来る。

これらの複素数乗算器構造の各々は、従来の複

器60aが第1段60-1aを持ち、これは入力11'aから符号選択手段61-1a(インバータ62及びMUX手段64で構成される)の所で、実数軸I; データを受取ると共に、入力11bから別の符号選択手段61-1bの所で虚数軸Q; データを受取り、符号選択ビット(この第1段に対するものだけ)が Q_1 入力データから取出される。第1の乗算器60aは、この後略同一の複数個(N-1)の段60-2a乃至60-naを持ち、その各々は、I及びQ部分に対して、夫々符号選択手段61-2a乃至61-na又は61-2b乃至61-nbを含む同一の部分と、除数(2^{1-l})の除算手段66-1乃至66-(n-1)と(ここで $1 \leq l \leq N$ であり、lは段の番号である)、加算器手段68-1乃至68-(n-1)とを持っている。第2のN段の逐次形CORDIC乗算器60bは、第1段60-1bと(N-1)個の後続の同一の段60-2b乃至60-nbとの同じ構成を有する。(第1の乗算器60aの各段のMUX符号選択制御入力65-1乃至

65-n)の符号ビットが、複数個(N個)の論理インバータ70-1乃至70-nの内の関連する1つによって反転され、この為、第1のCORDIC乗算器60aの任意の段のQ出力の符号ビットが、両方の乗算器60a及び60bの次段の回転の符号を決定する。従って、符号ビットが2つのパイプライン形CORDIC構造60a及び60bの間で反転され、この為、第1の乗算器60aが第1の入力データ(I_1 及び Q_1)を出力I'及びQ'に於ける($\phi_1 + \phi_2$)に等しい位相 ϕ_T へ回転し、第2の乗算器60bが第2の入力データをゼロの位相に回転し、実数出力11'eに $|A_1|$ の大きさを発生する(そして剰余出力11'rに略ゼロの大きさの剰余を発生する。このQ出力は二重回転装置の誤差の目安である)。I'及びQ'データには、その乗算を必要とする場合、第3図の実施例の様に、手段52及び54によって $|A_1|$ データのスカラー乗算を行なうことが出来る。

この発明の新規な複素数CORDIC乗算器の現在好ましいと考えられる幾つかの形式並びにそ

例として説明したが、当業者には、随々の変更が考えられよう。従って、この発明は特許請求の範囲によって限定されるものであって、こゝで説明した好ましい実施例の説明によって何等制約されないことを承知されたい。

4. 図面の簡単な説明

第1図はこの発明の第1の形式の複素数デジタル乗算器の簡略ブロック図、第2図は第1図の複素数乗算器に示した再帰形CORDIC手段の代りに使われる逐次形又はパイプライン形CORDIC手段の現在好ましいと考えられる別の実施例の簡略ブロック図、第3図はこの発明の別の形式の複素数デジタル乗算器のブロック図、第3a図及び第3b図は第3図の複素数デジタル乗算器の動作を説明するのに役立つ考えを示すベクトル図、第4A及び4B図は両者が合わさって、第3図の装置に於ける複素数乗算を行なう、現在好ましいと考えられる実施例の逐次形又はパイプライン形手段を示す簡略ブロック図である。

[主な符号の説明]

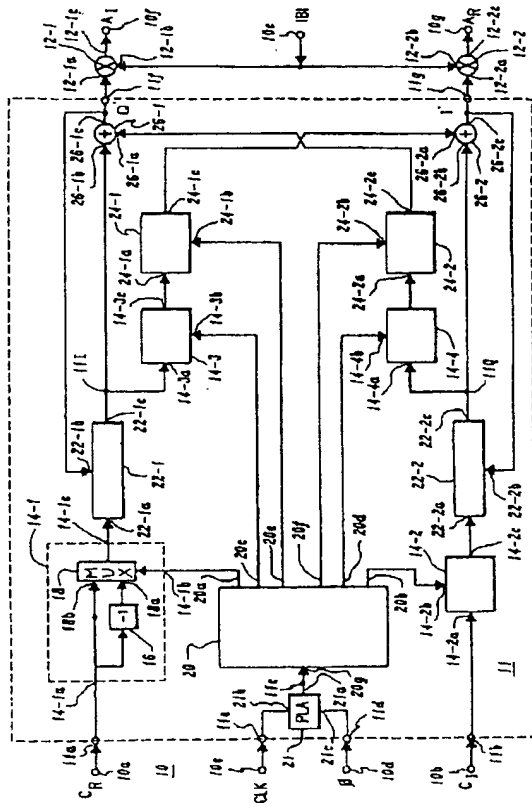
- 10f, 10g: 出力
- 11a, 11b: 入力
- 14-1, 14-2: 符号選択手段
- 14-3, 14-4: 符号選択手段(再帰部分)
- 22-1, 22-2: 乗算器
- 24-1, 24-2: シフタ
- 26-1, 26-2: 加算器

特許出願人

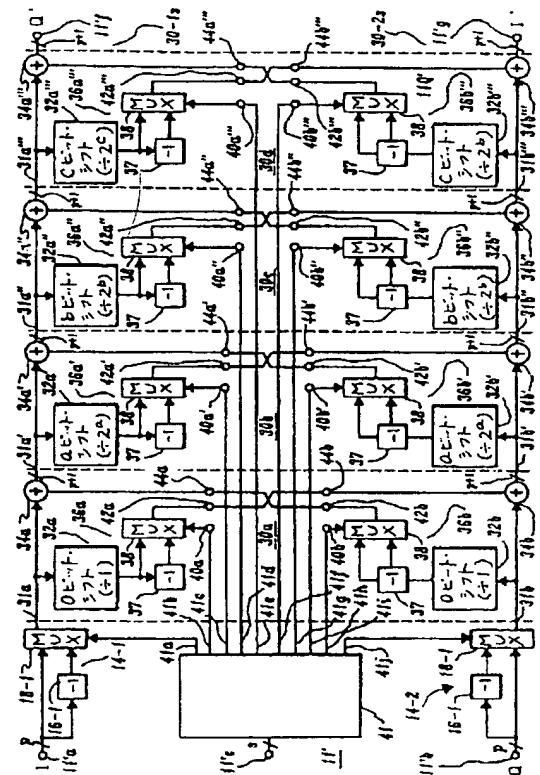
ゼネラル・エレクトリック・カンパニイ

代理人 (7630) 生 沼 徳 二

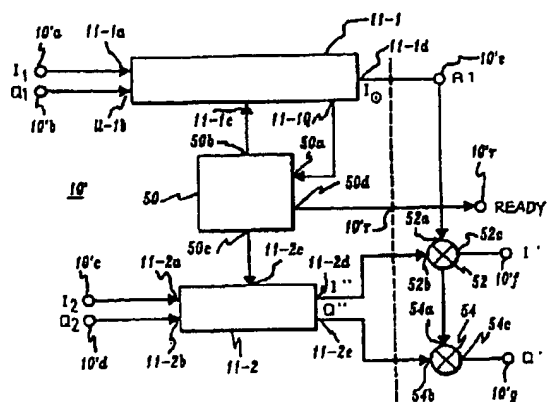
第1図



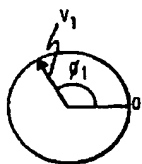
第2図



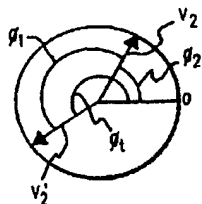
第3図



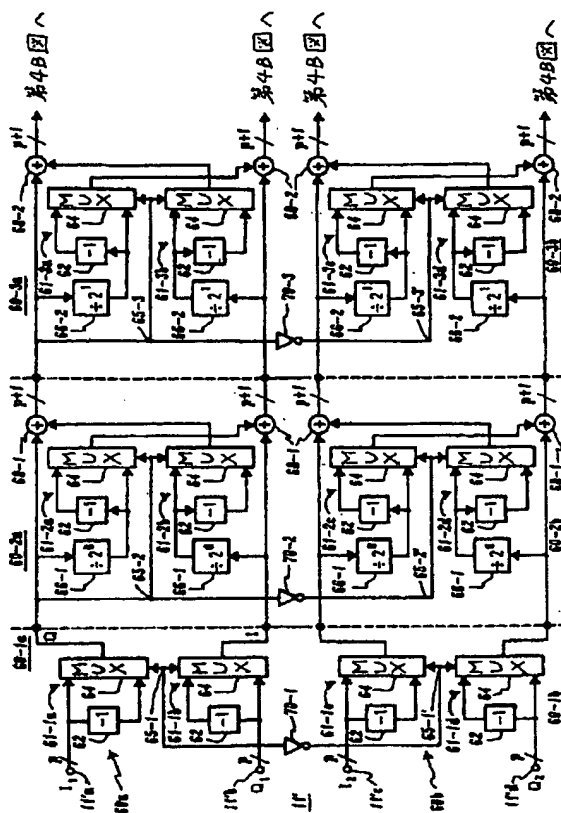
第3a図



第3b図



第4A図



第4B図

